

Requested Patent: JP3050614A  
Title: MICRO COMPUTER ;  
Abstracted Patent: JP3050614 ;  
Publication Date: 1991-03-05 ;  
Inventor(s): KANAYAMA HIDEYO ;  
Applicant(s): NEC CORP ;  
Application Number: JP19890186717 19890718 ;  
Priority Number(s): ;  
IPC Classification: G06F1/24 ;  
Equivalents: ;

**ABSTRACT:**

**PURPOSE:** To securely judge whether the value of a data memory is accurately held or not at the time of restoration from standby by controlling the initial value of a program counter by means of the value of FF and a reset signal for a micro computer.

**CONSTITUTION:** The micro computer 101 executes an instruction in accordance with a program stored in ROM 103, sets SBF 105 and executes a standby instruction. Thus, the function stops and the content of RAM 106 is held by low power consumption. When a power voltage is within a specified value, SBF 105 holds '1'. When an RES signal is set to an effective level for reoperating the computer 101, PC 104 is initialized. When the RES signal comes to an ineffective level, PC 104 starts the execution of the program. When the power voltage comes less than the prescribed value, the RES signal comes to the effective level and the power voltage is restored, SBF 105 is reset and PC 104 resumes the execution of the program.

## ⑫ 公開特許公報(A) 平3-50614

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月5日

G 06 F 1/24

7459-5B G 06 F 1/00 3 5 0 B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 平1-186717

⑰ 出 願 平1(1989)7月18日

⑱ 発 明 者 金 山 英 世 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発 明 の 名 称

マイクロコンピュータ

## 特 許 請 求 の 範 囲

同一半導体基板上に中央処理装置のプログラムあるいはデータを格納するメモリと前記プログラムの実行番地を制御するプログラムカウンタとを備えるマイクロコンピュータにおいて、このマイクロコンピュータに供給される電源電圧が第1の基準電圧から第2の基準電圧に変化した場合リセットされ、特定命令の実行によりセットされるフリップフロップと、このフリップフロップの値と前記マイクロコンピュータを初期化するリセット信号とにより前記プログラムカウンタの初期値を制御する手段を有することを特徴とするマイクロコンピュータ。

## 発 明 の 詳 細 な 説 明

## 〔産業上の利用分野〕

本発明はマイクロコンピュータに関し、特にリセット入力によるプログラム開始番地の制御に関する。

## 〔従来の技術〕

近年、集積回路技術の急速な進歩によりマイクロコンピュータのCMOS化が実現されるようになった。これに伴いCMOSの低消費電力の特徴を有効に生かすため、マイクロコンピュータが非動作状態(以下“スタンバイ”という)時にはクロック信号を停止し、電源電圧を低下させて消費電力を極小にするとともにデータメモリの値を保持させる機能がある。ここでデータメモリ値を保持するためにはスタンバイ時の電源電圧を規定電圧以内に保つ必要がある。また、スタンバイからの再動作はリセットにより実行されることが一般的であるが、データメモリの値が正しく保持されているかどうかの判断は非常に難しい。このためマイクロコンピュータに供給される電源電圧が規定電圧以下に低下した場合リセットされるフリッ

ブ・フロップ（以下スタンバイ・フラグという）を設け、スタンバイからの復帰に際しプログラムにより判定して、データメモリが正しく保持されているかどうかを判断して、データメモリを初期化するか否かを決定する手法が知られている。

〔発明が解決しようとする課題〕

上述した従来のマイクロコンピュータは、スタンバイからの復帰に際し、データメモリの値が正しく保持されているかどうかの判断が不可能であったり、またスタンバイフラグを備えている場合でも、プログラムで判断する必要があるという欠点がある。

本発明の目的は、スタンバイからの復帰に際し、データメモリの値が正しく保持されているかどうかの判断が確実にできるとともに、プログラムによる判断を不要としたマイクロコンピュータを提供することにある。

〔課題を解決するための手段〕

本発明の構成は、同一半導体基板上に中央処理装置のプログラムあるいはデータを格納するメモ

リと前記プログラムの実行番地を制御するプログラムカウンタとを備えるマイクロコンピュータにおいて、このマイクロコンピュータに供給される電源電圧が第1の基準電圧から第2の基準電圧に変化した場合リセットされ、特定命令の実行によりリセットされるフリップフロップと、このフリップフロップの値と前記マイクロコンピュータを初期化するリセット信号とにより前記プログラムカウンタの初期値を制御する手段を有することを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。101はマイクロコンピュータ、102は中央処理装置（以下CPUという）、103はプログラムを格納するリードオンリメモリ（以下ROMという）、104はプログラムの実行番地を制御するプログラムカウンタ（以下PCという）、105はマイクロコンピュータ101に供

給される電源電圧が規定値以下に低下した場合リセットされ、命令によりリセットされるフリップフロップ（以下SBFという）、106はデータを格納するデータメモリ（以下RAMという）、107はI/Oポート、110はアドレスデータバスである。

101を再動作させるためRES信号を有効レベルにすると、PC104はPC<sub>0</sub>～<sub>14</sub>が「0」、PC<sub>15</sub>が「1」となり8000Hに初期化される。ここでRES信号が無効レベルになると、PC104は8000Hよりプログラムの実行が開始される。また、電源電圧が規定値以下になり、その後RES信号が有効レベルになるとともに電源電圧が動作可能な電圧に回復すると、SBF105はリセットされる。このためPC104はPC<sub>0</sub>～<sub>15</sub>全てのF/Fが「0」となり0000Hに初期化される。RES信号が無効レベルになるとPC104は0000Hよりプログラムの実行が開始される。

第2図は第1図のPC104の詳細なブロック図であり、201及び202はアンドゲート、203はセット、リセット付Dタイプフリップフロップ、204及び205はリセット付Dタイプフリップフロップ（以下F/Fという）である。

第3図は本発明の他の実施例を示すブロック図である。301、302はセット・リセット付D-F/F、303～306はアンドゲート、307、308はスイッチである。この実施例ではPC104の各ビットにスイッチ307、308を付加することにより、SBFが「1」の場合、PC104を任意の値に初期化すること

今、マイクロコンピュータ101はROM103に格納されたプログラムに従って命令を実行し、SBF105をセットしスタンバイ命令を実行することにより、その機能が停止し低消費電力でRAM106の内容を保持しているとする。

ここで電源電圧が規定値以内であると、SBF105は論理「1」（以下単に「1」と示す）を保持している。ここでマイクロコンピュータ

ができるという利点がある。スイッチ307、308は、例えばマイクロコンピュータの製造工程で使用されるフォトリソグラフィにより選択することができる。

〔発明の効果〕

以上説明したように本発明は、SBFの値によりリセット時のプログラムカウンタの初期値を変更することができるため、確実にデータメモリの内容が保持されているかどうかの判断ができるとともに、データメモリの有効・無効によるプログラムの処理がそれぞれ独立したプログラムとすることができるという効果がある。

SBF、106…RAM、107…I/Oポート、110…アドレス・データバス、201、202、303～306…アンドゲート、203、301、302…セットリセット付D-F/F、204、205…リセット付D-F/F、307、308…スイッチ。

代理人 弁理士 内 原 晋

# 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図のPC、SBF部分のブロック図、第3図は本発明の他の実施例を示すブロック図である。

101…マイクロコンピュータ、102…CPU、103…ROM、104…PC、105…S  
B F、106…RAM、107…I/Oポート、110…アドレス・データバス、201、202、303～306…アンドゲート、203、301、302…セットリセット付D-F/F、204、205…リセット付D-F/F、307、308…スイッチ。

